

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11220742 A

(43) Date of publication of application: 10.08.99

(51) Int. Cl

H04N 9/07

(21) Application number: 10315163

(71) Applicant: SONY CORP

(22) Date of filing: 05.11.98

(72) Inventor: YAMAMOTO TOSHIHISA  
NAKAJIMA TAKESHI

(30) Priority: 28.11.97 JP 09329317

(54) CAMERA SIGNAL PROCESSOR AND CAMERA  
SIGNAL PROCESSING METHOD

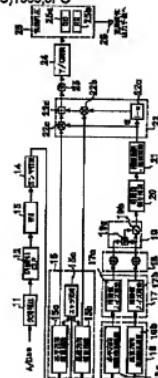
(57) Abstract:

PROBLEM TO BE SOLVED: To change the correlation between a vertical direction and a horizontal direction by considering only the distortion of a signal due to CCD and the like by detecting and normalizing a horizontal correlation value and a vertical correlation value, which show the degree of correlation in the horizontal direction and the vertical direction of interpolated image element data and weight interpolation data and adding a prescribed correction value.

SOLUTION: Image data interpolation part 15 interpolates respective pixel data for respective pixel and generates respective interpolation pixel data. Horizontal and vertical direction correlation detection circuits 16a and 16b calculate horizontal and vertical correlation values on the pixel where pixel data G exists and the pixel where it does not exist by using a prescribed filter, and they output them to a bias correction circuit 20 via a normalization circuit 19. The bias correction circuit 20 adds a correction value from a control part to the normalized vertical correlation value. As a result, even if the vertical correlation value and the horizontal correlation value do not become

the same level, by controlling the correction value, the vertical correlation value can be controlled and the value can be corrected.

COPYRIGHT: (C)1999,JPO



(51) Int.Cl.<sup>6</sup>

H 0 4 N 9/07

識別記号

F I

H 0 4 N 9/07

A

審査請求 未請求 請求項の数 6 O L (全 21 頁)

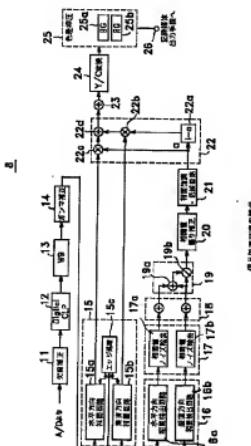
(21)出願番号	特願平10-315163	(71)出願人	000002185 ソニーリミテッド 東京都品川区北品川6丁目7番35号
(22)出願日	平成10年(1998)11月5日	(72)発明者	山本 敏久 東京都品川区北品川6丁目7番35号 ソニーリミテッド 一株式会社内
(31)優先権主張番号	特願平9-329317	(72)発明者	中島 錠 東京都品川区北品川6丁目7番35号 ソニーリミテッド 一株式会社内
(32)優先日	平9(1997)11月28日	(74)代理人	弁理士 小池 晃 (外2名)
(33)優先権主張国	日本 (JP)		

## (54)【発明の名称】 カメラ信号処理装置及びカメラ信号処理方法

## (57)【要約】

【課題】 CCD等に起因する信号の歪を考慮して垂直方向、水平方向の相関の関係を変化させる。

【解決手段】 色フィルタを介して撮像光が入射される固体撮像素子からの撮像信号に基づいて生成される画素データの当該位置及び/又は周囲の画素データに基づいて2方向から補間して各方向の補間画素データを生成する画像データ補間部15と、上記補間画素データの上記2方向における相関の程度を示す相関値を検出する相関値検出部16と、上記各方向の相関値を正規化して各方向の相関値の正規化値を生成する正規化回路19と、上記正規化値に補正值を加算する偏り補正回路20と、上記補正值が加算された正規化値に基づいて上記各方向の補間画素データを重み付け加算して補間画素データを生成する加重加算回路22と、上記補間画素データに基づいて画像を生成する画像生成手段とを備える。



## 【特許請求の範囲】

【請求項1】 各画素に対応して分光感度が異なる色フィルタを介して撮像光が入射される固体撮像素子からの撮像信号に基づいて生成される画素データの当該位置及び／又は周囲の画素データに基づいて少なくとも2以上の方向から補間して各方向の補間画素データをそれぞれ生成する補間画素データ生成手段と、

上記補間画素データ生成手段で生成した補間画素データの上記2以上の方向における相間の程度を示す相関値をそれぞれ検出する相間検出手段と、

上記相間検出手段で検出した各方向の相間値を正規化して各方向の相間値の相対値を示す正規化値を生成する正規化手段と、

上記正規化手段で生成した正規化値に所定値の補正値を加算処理する補正手段と、

上記補間画素データ生成手段で生成した各方向の補間画素データに上記補正手段で補正値が加算処理された正規化値で重み付けをして、重み付けられた各補間画素データを加算処理して補間画素データを生成する重み付け手段と、

上記重み付け手段で重み付けられた補間画素データに基づいて画像を生成する画像生成手段とを備えることを特徴とするカメラ信号処理装置。

【請求項2】 上記補正手段を制御する制御手段を備え、

上記制御手段は、-1～1の範囲内で補正値を生成し、上記補正手段で補正値と正規化値を加算処理させることを特徴とする請求項1に記載のカメラ信号処理装置。

【請求項3】 上記相間検出手段で検出した各方向の相間値の値を制限する制限手段を備え、

上記制限手段は、上記相間検出手段で検出した各方向の相間値が0～1の範囲内となるように制限することを特徴とする請求項1記載のカメラ信号処理装置。

【請求項4】 各画素に対応して分光感度が異なる色フィルタを介して撮像光が入射される固体撮像素子からの撮像信号に基づいて生成される画素データの当該位置及び／又は周囲の画素データに基づいて少なくとも2以上の方向から補間して各方向の補間画素データをそれぞれ生成し、

上記補間画素データの上記2以上の方向における相間の程度を示す各方向の相間値をそれぞれ検出し、

上記各方向の相間値を正規化して各方向の相間値の相対値を示す正規化値を生成し、

上記正規化値に所定値の補正値を加算処理し、

上記各方向の補間画素データに補正値が加算処理された各方向の相間値で重み付けをして、重み付けられた各方向の補間画素データを加算処理して得た補間画素データを生成し、

上記重み付けられた補間画素データに基づいて画像を生成することを特徴とするカメラ信号処理方法。

【請求項5】 正規化値と補正値とを加算処理するとき、-1～1の範囲内で補正値を生成し、当該補正値と上記正規化値を加算処理することを特徴とする請求項4に記載のカメラ信号処理方法。

【請求項6】 正規化値に補正値を加算処理した後、上記正規化値が0～1の範囲内となるように制限することを特徴とする請求項4に記載のカメラ信号処理方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、単板式のカメラ装置で生成するカメラ信号の処理を行うカメラ信号処理装置及びカメラ信号処理方法に関する、詳しくは固体撮像素子で生成した撮像信号から輝度信号又は色差信号を生成するときに各画素における補間値の相対値を示す相間値を算出するカメラ信号処理装置及びカメラ信号処理方法に関する。

## 【0002】

【従来の技術】 従来において、CCD (Charge Coupled Device) イメージセンサ (以下、単にCCDと称す

20) ) 等の固体撮像素子を用いた単板式のカメラ装置においては、CCD上にR, G, Bに対応した光を透過させる色フィルタが配設されている。この色フィルタは、R (レッド) の光を透過させる領域と、G (グリーン) の光を透過させる領域と、B (ブルー) の光を透過させる領域とがマトリクス状に形成されており、例えば水平方向においてG, R, G, ··· 又はB, G, B, ··· と配設されている。そして、CCDには、この色フィルタの各領域を透過した光が入力され、色フィルタのR, G, Bの光を透過させる領域に対応した画素から画素データG, 画素データR, 画素データBをそれぞれ生成する。

【0003】 そして、このカメラ装置においては、CCDに入力される光に基づいて輝度信号を作成するとともに、色信号を作成している。

【0004】 このようなカメラ装置におけるCCDは、1つの画素毎にR, G, Bを有する色フィルタが配設されており、例えば水平方向にR, G, R, G, ··· という配列となされている。そして、このカメラ装置においては、各画素に対応して配された色フィルタに対応して色信号を作成している。したがって、このようなCCDでは、Rの光を透過させる色フィルタが配設している画素においてはG及びBに対応した画素データG, Bが生成されないこととなり、G及びBに対応した画素データを補間して生成する必要がある。

【0005】 従来のカメラ装置において、例えばCCDで生成したカメラ信号の輝度信号を処理する際においては、全画素読み出しの場合、CCDの垂直方向及び水平方向の2画素ずつの4つの画素から生成する輝度信号を相加平均して作成することが知られている。

【0006】 また、単板式のカメラ装置においては、補間を行って画素データを生成するときに、垂直方向及び

水平方向における相間を示す相間値を検出する。この相間値を検出するときには、周囲に配された画素の信号をフィルタを用いて計算することで垂直方向における相間値及び水平方向における相間値を算出する。そして、このカメラ装置においては、相間値を用いて、補間して得た補間画素データに重み付けを行う。

### 【0007】

【発明が解決しようとする課題】ところで、上述したカメラ装置においては、CCDで生成した画素データが、上述したような手法で相間値を検出すると、垂直方向における相間と水平方向における相間との関係が等しく検出できないことがある。

【0008】すなわち、例えばCCDの縦横比や、CCDから出力されるアナログ信号を検出するときに生ずる歪等により、垂直方向における相間と水平方向における相間との関係が等しく算出できないことがある。

【0009】このように、垂直方向における相間と水平方向における相間との関係が等しく算出できないと、垂直方向、水平方向のいずれに相間が強いのかを判断することが困難となる。

【0010】そこで、本発明は、上述したような実情に鑑みて提案されたものであり、例えばCCD等に起因する信号の歪を考慮して垂直方向、水平方向の相間の関係を変化させることができるとカメラ信号処理装置及びカメラ信号処理方法を提供することを目的とする。

### 【0011】

【課題を解決するための手段】上述の課題を解決する本発明にかかるカメラ信号処理装置は、固体撮像素子が検出する画素データを当該位置及び周囲の画素データに基づいて生成した補間画素データの水平方向及び垂直方向における相間の程度を示し当該補間画素データに重み付けを行う水平相間値及び垂直相間値を検出する相間検出手段と、相間検出手段で検出した水平相間値と垂直相間値とを正規化して当該水平相間値と垂直相間値との相対値を示す正規化値を生成する正規化手段と、正規化手段で生成した正規化値に所定値の補正値を加算処理する補正手段とを有することを特徴とするものである。

【0012】また、本発明にかかるカメラ信号処理方法は、画素データを当該位置及び周囲の画素データに基づいて生成した補間画素データの水平方向及び垂直方向における相間の程度を示し当該補間画素データに重み付けを行う水平相間値及び垂直相間値を検出し、水平相間値と垂直相間値とを正規化して当該水平相間値と垂直相間値との相対値を示す正規化値を生成し、正規化値に所定値の補正値を加算処理することを特徴とする。

### 【0013】

【発明の実施の形態】以下、本発明に係るカメラ信号処理装置及びカメラ信号処理方法の実施の形態について図面を参照しながら説明する。

【0014】本発明は、例えば図1に示すように、入力

された光に応じて静止画像を生成するカメラ装置1に適用される。

【0015】このカメラ装置1は、CCD(Charge Coupled Device)イメージヤ(以下CCDと称する。)に被写物体を結像するする光学系2と、CCD3と、このCCD3を駆動するタイミングジェネレータ4と、CCD3から撮像信号が入力されるサンプル／ホールド回路5と、サンプル／ホールド回路5から撮像信号が入力されゲインを調整するAGC回路6と、入力された撮像信号をデジタル方式の画像データに変換するA/D変換回路7と、画像データにカメラ信号処理を行うカメラ処理部8と、CCD3で生成する撮像信号を検波するCCD検波部9と、これら各部を制御する制御部10とから構成されている。

【0016】ここで、CCD3には、R(レッド)の光を透過する領域と、G(グリーン)の光を透過する領域と、B(ブルー)の光を透過する領域とがマトリクス状に形成された色フィルタが配設されており、各画素毎に当該色フィルタを透過した光が入力される。この色フィルタは、例えば、各色の光を透過する領域が水平方向にR, G, R, G...又はG, B, G, B...と配設されている。すなわち、CCD3は、各画素毎に各色R, G, Bに対応した光に基づいて画素データR, 画素データG, 画素データBを生成する。

【0017】このCCD検波部9では、A/D変換回路7でデジタル方式に変換された画像データが入力される。そして、このCCD検波部9で検波された画像データは、例えばAE(auto exposure)回路、AF(auto focus)回路に入力される。そして、例えばAE回路に入力された画像データは、電子シャッタのシャッタスピード又は絞りを調整するために使用され、CCD3に入射する光の明るさを自動で切り換える。

【0018】カメラ処理部8は、A/D変換回路7から画像データが入力される欠陥補正回路1と、欠陥補正回路1から画像データが入力されるCLP回路12と、CLP回路12から画像データが入力されるホワイトバランス回路13と、ホワイトバランス回路13から画像データが入力されるy補正回路14を備える。

【0019】欠陥補正回路1は、A/D変換回路7からの画像データに欠陥補正を施す。この欠陥補正回路1は、欠陥を有するために画素データが生成されない画素の欠陥を補正して、CLP回路12に画像データを出力する。

【0020】CLP回路12には、欠陥補正回路1からの画像データからオブティカルブラックを差し引く。このようにCLP回路12では、入力した画像データの黒レベルを補正して、当該画像データをホワイトバランス回路13に取出する。

【0021】ホワイトバランス回路13には、CLP回路12からの画像データR, G, Bに対応した色毎のレ

ベルを調整する。このようにホワイトバランス回路13は、各色毎にレベルが調整された画像データを $\gamma$ 補正回路14に出力する。

【0022】この $\gamma$ 補正回路14には、ホワイトバランス回路13からの画像データに $\gamma$ 補正を施す。そして、この $\gamma$ 補正回路14は、 $\gamma$ 補正を施した画像データを後述する画像データ補間部と相間検出部とに出力する。

【0023】また、この信号処理部8は、図2に示すように、 $\gamma$ 補正回路14から画像データが入力される画像データ補間部15と、各画素データ間の相間値を算出する相間値検出部16と、相間値のノイズを除去するノイズ除去部17と、相間値にオフセットをかけするオフセット回路18と、相間値を正規化する正規化回路19と、相間値を検出する方向の偏りを補正する偏り補正回路20と、相間の強調及び低減を行う強調・低減回路21と、補間した画像データに相間値を用いて重み付けを行う加重計算回路22と、画像データの輪郭を補正する輪郭補正回路23と、画像データを輝度信号(Y)と色差信号(C)とからなるY/C信号に変換するY/C変換部24と、色差信号による偽色信号を抑制する色差信号抑制部25と、出力部26とを備える。

[1, 4, 6, 4, 1] / 8

すなわち、補間画素データR', G', B'の算出を行うときには、式1に示すフィルタを用いたり、水平方向補間回路15 aを図4に示すように構成する。

【0027】水平方向補間回路15 aは、水平方向における補間画素データR', G', B'を作成するとき、図4に示すように構成する。この水平方向補間回路15 aは、 $\gamma$ 補正回路14から画素データが入力される入力部30と、入力部30から各画素データが入力される遅延回路31と、遅延回路31から水平方向における各画素データが入力され補間画素データを生成するフィルタ回路32と、フィルタ回路32を介して補間画素データが入力されるセレクタ回路33と、セレクタ回路33からの補間画素データを出力する出力端子34とからなる。

【0028】入力部30には、 $\gamma$ 補正回路14から水平方向における各画素データが順次入力される。この入力部30には、1画素データ毎にクロックで順次入力される。遅延回路31は、入力部30で入力した各画素データが入力される遅延回路31 a～31 dからなる。この遅延回路31は、入力された各画素データを上記のクロックと同期して各遅延回路31 a～31 dに入力し、フィルタ回路32に出力する。

【0029】フィルタ回路32は、入力部30及び遅延回路31 dを介して画素データが入力される加算器32 aと、遅延回路31 a及び遅延回路31 cを介して画素データが入力される加算器32 bと、遅延回路31 bを介して画素データが入力される加算器32 cと、加算器32 a及び加算器32 cからの出力が入力される加算器32 dと、

【0024】画像データ補間部15には、 $\gamma$ 補正回路14から複数の画素データからなる画像データが入力される。この画像データ補間部15は、各画素毎に各画素データR, G, Bの補間を行って、各補間画素データR', G', B'を生成するものである。この画像データ補間部15は、水平方向に配列した画素に対応した画素データの補間を行う水平方向補間回路15 aと、垂直方向に配列した画素に対応した画素データの補間を行う垂直方向補間回路15 bとからなる。

【0025】水平方向補間回路15 aには、図3に示すようなマトリクス状に配列された各画素に対応する画素データR, G, Bが入力される。この水平方向補間回路15 aは、下記の式1に示すフィルタを用いて水平方向における補間画素データを算出する。なお、図3は、各画素毎に対応した画素データR, G, Bを示す図であり、各画素の配置として座標を数字で示した図である。また、この以下の説明においては、水平方向におけるライン毎に0 h, 1 h, 2 h, 3 h, 4 hと配されているとして以下の説明を行う。

【0026】

(式1)

32 dとからなる。

【0030】加算器32 aは入力部30から直接入力される画素データ及び遅延回路31 dを介して画素データが入力され、加算器32 cは遅延回路31 bを介して画素データが入力され、加算器32 dは加算器32 a及び加算器32 cを介して画素データが入力される。また、加算器32 bは遅延回路31 a及び遅延回路31 cを介して画素データが入力される。

【0031】すなわち、このフィルタ回路32は、加算器32 a, 32 c, 32 dで[1, 0, 6, 0, 1] / 8のフィルタを構成し、加算器32 bで[1, 0, 1] / 2のフィルタを構成している。

【0032】セレクタ回路33は、加算器32 dからの出力及び遅延回路31 bを介して画素データが入力されるセレクタ33 a、33 bと、セレクタ33 aからの出力及び加算器32 bからの出力が入力されるセレクタ33 cと、加算器32 b及びセレクタ33 bからの出力が入力されるセレクタ33 dとを有する。

【0033】また、各セレクタ33 a～33 dは、制御部10からの制御信号が入力されて、その動作が制御されている。

【0034】出力部34は、セレクタ33 cからの出力を出力する端子34 aとセレクタ33 dからの出力を後述するエッジ処理回路に出力する端子34 bとを有する。

【0035】このように構成された水平方向補間回路15 aは、例えば画素データG<sub>22</sub>について、補間画素データR<sub>22'</sub>, B<sub>22'</sub>のみならず、補間画素データG<sub>22'</sub>を

も算出する。

【0036】水平方向補間回路15aで、例えば図3中の画素データG<sub>22</sub>についての補間画素データG<sub>22'</sub>を算出するときには、入力部30で2hにおける画素データG<sub>20</sub>、R<sub>21</sub>、G<sub>22</sub>、R<sub>23</sub>、G<sub>24</sub>を順次入力する。

【0037】次に、入力部30で入力した画素データG<sub>20</sub>、R<sub>21</sub>、G<sub>22</sub>、R<sub>23</sub>、G<sub>24</sub>を連延回路31によりフィルタ回路32に入力する。すなわち、画素データG<sub>20</sub>を加算器32aに入力し、画素データR<sub>21</sub>を加算器32bに入力し、画素データG<sub>22</sub>を加算器32cに入力し、画素データR<sub>23</sub>を加算器32bに入力し、画素データG<sub>24</sub>を加算器32aに入力する。

【0038】次に、フィルタ回路32で各画素データG<sub>20</sub>、G<sub>22</sub>、G<sub>24</sub>から、画素データG<sub>22</sub>についての補間画素データG<sub>22'</sub>の演算を行う。すなわち、加算器32aでは画素データG<sub>20</sub>と画素データG<sub>22</sub>とを加算処理して加算器32dに出力する。また、加算器32cでは、画素データG<sub>22</sub>を4倍するとともに2倍としてこれらを加算処理して加算器32dに出力する。そして、加算器32dでは、加算器32aと加算器32cとからの出力を入力して、これらを加算処理するとともに1/8の乗算処理を行ってセレクタ回路33に出力する。また、加算器32bでは、画素データR<sub>21</sub>と画素データR<sub>23</sub>を入力してこれらを加算処理するとともに1/2の乗算処理を行ってセレクタ回路33に出力する。

【0039】このように加算器32a、32c、32dで加算処理を行うことにより、(画素データG<sub>20</sub> + 6 × 画素データG<sub>22</sub> + 画素データG<sub>24</sub>) / 8という演算を行う。一方、加算器32bで加算処理を行うことにより、(画素データR<sub>21</sub> + 画素データR<sub>23</sub>) / 2という演算を行う。すなわち、このフィルタ回路32では、加算器32bで[1, 0, 1] / 2というフィルタを構成し、加算器32a、32c、32dで[1, 0, 6, 0, 1] / 8というフィルタを構成し、画素データG<sub>20</sub>、G<sub>22</sub>、G<sub>24</sub>を上述した式1に示すフィルタを通過させる。したがって、このフィルタ回路32によれば、画素データR<sub>21</sub>、G<sub>22</sub>についての補間画素データR<sub>22'</sub>、G<sub>22'</sub>を作成する。

【0040】次に、セレクタ33a及びセレクタ33bでは、補間画素データG<sub>22'</sub>を入力するとともに、画素データG<sub>22</sub>を入力する。また、セレクタ33a及びセレクタ33bでは、制御部10から制御信号H又は制御信号Iを入力する。ここで、セレクタ33a及びセレクタ33bでは、制御信号Hが入力されたときには、フィルタ回路32からの補間画素データG<sub>22'</sub>をそのままセレクタ33c、33dに出力し、制御信号Iが入力されたときには、画素データG<sub>22</sub>をセレクタ33c、33dに出力する。

【0041】次に、この制御部10では、画素データG<sub>22</sub>についての補間画素データG<sub>22'</sub>がフィルタ回路32

で生成されていることから、制御信号Iをセレクタ33c及びセレクタ33dに出力する。このように、セレクタ33c、33dに制御信号Iが入力されると、セレクタ33cでは補間画素データR<sub>22'</sub>を出し、セレクタ33dでは画素データG<sub>22</sub>又は補間画素データG<sub>22'</sub>を出力する。

【0042】一方、制御部10からセレクタ33c、セレクタ33dに制御信号Hが入力された場合、セレクタ33cはセレクタ33aから入力されたデータを出力し、セレクタ33dは加算器32bから入力されたデータを出力する。

【0043】すなわち、このセレクタ33dは、例えば画素データG<sub>22</sub>についての補間画素データG<sub>22'</sub>を出力するときにはセレクタ33bからの入力を出力し、図3中の画素データG<sub>23</sub>についての補間画素データG<sub>23'</sub>を出力するときには、加算器32bからの入力を出力するように制御される。そして、セレクタ33cは端子34aに画素データR又は画素データBについての補間画素データR<sub>22'</sub>を出し、セレクタ33dは端子34bに画素データGについての補間画素データG<sub>22'</sub>を出力する。

【0044】このように画素データGについての補間画素データG'を算出するときは、入力した画素データR、Gのうち、図5に示すような画素データGのみからなるCCD3を想定して補間画素データG'を算出する。したがって、この水平方向補間回路15aでは、画素データGが存在しない画素について補間画素データG'を算出するときには[1, 0, 1] / 2というフィルタを使用して補間画素データG'を算出し、画素データGが存在する画素について補間画素データG'を算出するときには[1, 0, 6, 0, 1] / 8というフィルタを使用して補間画素データG'を算出することとなる。したがって、このようなフィルタを用いて補間画素データG'を算出する水平方向補間回路15aでは、これらのフィルタの周波数特性が図6及び図7に示すようになる。すなわち、この[1, 0, 6, 0, 1] / 8というフィルタでは図6に示すような周波数特性を示し、[1, 0, 1] / 2というフィルタでは図7に示すような周波数特性を示す。この図6及び図7に示したフィルタの周波数特性によれば、水平方向補間回路15aでは、これらのフィルタを用いることで画素データGが存在する画素における補間画素データG'の周波数特性と画素データGが存在しない補間画素データG'の周波数特性との差を小さくすることができる。

【0045】したがって、このように各画素データGについての補間画素データG'を算出することにより、図8に示すような補間画像データG'を得ることができる。

【0046】また、上述した水平方向補間回路15aは、2hにおいて画素データG<sub>22</sub>についての補間画素データG<sub>22'</sub>を出力する。

ータ  $R_{22}'$  を  $[1, 0, 1]/2$  のフィルタを用いて算出したが、上述と同様に 1 h においては、画素データ  $G_{11}$  についての補間画素データ  $B_{11}'$  を算出することもできる。

【0047】次に、2 h における画素データ  $G_{22}$  についての補間画素データ  $B_{22}'$  を算出するときには、図9に示したフィルタを用いて行う。すなわち、以下の説明では、画素データ B が存在しないラインにおいて、補間画素データ B' を算出する一例について説明する。

【0048】画素データ  $G_{22}$  の補間画像データ  $B_{22}'$  を算出するときには、図9に示すように構成した水平方向補間回路  $15a'$  を用いて補間画素データ  $B_{22}'$  を算出する。なお、以下の水平方向補間回路  $15a'$  の説明においては、図4に示した水平方向補間回路  $15a$  と同様の部分については同一の符号を付することでその詳細な説明を省略する。すなわち、この図9に示した水平方向補間回路  $15a'$  では、入力部 30 を例えば 1 h における画素データが  $B_{10}$ ,  $G_{11}$ ,  $B_{12}$ ,  $G_{13}$ ,  $B_{14}$  の順に入力される端子 30 a と、3 h における画素データが  $B_{20}$ ,  $G_{21}$ ,  $B_{22}$ ,  $G_{23}$ ,  $B_{24}$  の順に入力される端子 30 b とからなるものとしている。そして、この図9に示した水平方向補間回路  $15a'$  は、端子 30 a, 30 b から画素データが入力される加算器 3 5 を備えている。この加算器 3 5 では、端子 3 0 a 及び端子 3 0 b からの画素データが入力されて、加算処理を行うとともに除算処理を行う。すなわち、この加算器 3 5 では、例えば  $(\text{画素データ } B_{10} + \text{画素データ } B_{20})/2$  という処理を行う。そして、この図9の水平方向補間回路  $15a'$  では、図4に示した水平方向補間回路  $15a$  と同様に遅延回路 3 1 a ~ 3 1 d, 加算器 3 2, セレクタ回路 3 3 を介して補間画素データ  $G'$ ,  $B'$  を出力する。

【0049】すなわち、この水平方向補間回路  $15a'$  では、先ず、垂直方向において接続した 1 h 及び 3 h に配列した画素に対応した画素データ B の相加平均で垂直方向を補間することで、図10に示すように配置された各画素の画素データ B を、図11に示すように、垂直方向に補間して補間画素データ B' を算出する。

【0050】次に、この垂直方向における画素データ B

$$B_{22}' = \{ (B_{12}' - G_{12}') + (B_{22}' - G_{22}') \} / 2 + G_{22}' \quad (式2)$$

この式2によれば、補間画素データ  $B_{22}'$  を算出するときには、図4の水平方向補間回路  $15a$  を用いて算出した  $G_{12}'$ ,  $G_{22}'$ ,  $G_{22}'$  と、上述の式1で算出した  $B_{12}'$ ,  $B_{12}'$  を用いて補間画素データ  $B_{22}'$  を算出することができる。一方、垂直方向補間回路  $15b$  は、図13に示すように構成している。なお、以下に述べる垂直方向補間回路  $15b$  の説明においては、上述の水平方向補間回路  $15a$  と同一部分については同一符号を付することによりその詳細な説明を省略する。

【0056】この垂直方向補間回路  $15b$  は、図13に示すように、垂直方向における各画素データ  $R$ ,  $G$ ,  $B$

及び補間して得た補間画素データ  $B'$  を  $[1, 0, 6, 0, 1]/8$  のフィルタ、 $[1, 0, 1]/2$  のフィルタを介して画素データ B の水平方向における補間画素データ  $B'$  を算出する。

【0051】すなわち、この水平方向補間回路  $15a'$  では、水平方向に画素データ B が存在しないラインについての補間画素データ  $B_{22}'$  を以下のように作成する。まず、フィルタ回路 3 2 で 1 h 及び 3 h における画素データ B に  $[1, 0, 6, 0, 1]/8$  からなるフィルタを加算器 3 2 a, 3 2 c, 3 2 d を通過させることで適用し、1 h 及び 3 h における画素データ G に  $[1, 0, 1]/2$  からなるフィルタを加算器 3 2 b を通過させることで適用する。水平方向補間回路  $15a'$  は、さらに  $[1, 0, 6, 0, 1]/8$  からなるフィルタを通過して得た画素データ B の値から  $[1, 0, 1]/2$  からなるフィルタを通過して得た画素データ G の値を減算する減算処理回路と、この減算処理回路からの出力に図4に示した水平方向補間回路  $15a$  で得た補間画素データ  $G_{22}'$  を加算処理する加算処理回路とを有している。

【0052】すなわち、この水平方向補間回路  $15a'$  では、 $[1, 0, 6, 0, 1]/8$  からなるフィルタを通過して得た画素データ B の値から  $[1, 0, 1]/2$  からなるフィルタを通過して得た画素データ G の値を減算して、さらに画素データ G' を加算処理して補間画素データ  $B'$  を加重加算回路 2 2 に出力する。

【0053】このように、図9の水平方向補間回路  $15a'$  は、2 h のように、画素データ B が存在しない画素に対応した画素データ  $G_{22}$  においても、図12に示すように、補間画素データ  $B_{22}'$  を算出することができる。すなわち、この図9の水平方向補間回路  $15a'$  によれば、全(すべて)の画素について補間画素データ  $B'$  を算出することができる。

【0054】また、このような水平方向補間回路  $15a'$  は、画素データ  $G_{22}$  について補間画素データ  $B_{22}'$  を算出するときには、下記式2及び上述の式1で算出した補間画素データを用いて算出してもよい。

【0055】

が順次入力される入力部 30 を備えている。この入力部 30 は、1 h における画素データが入力される端子 30 a と、3 h における画素データが入力される端子 30 b と、4 h における画素データが入力される端子 30 c と、2 h における画素データが入力される端子 30 d とを有する。

【0057】また、この垂直方向補間回路  $15b$  は、上述した水平方向補間回路  $15a$  と同様に、フィルタ回路 3 2 c と、セレクタ回路 3 3 と、出力部 3 4 を有している。この垂直方向補間回路  $15b$  では、各端子 3 0 a ~

30eに画素データB<sub>10</sub>、B<sub>11</sub>、G<sub>10</sub>、G<sub>11</sub>、G<sub>12</sub>が入力されると、端子30a及び端子30bに入力された画素データを加算器32bに出力し、端子30c及び端子30dに入力された画素データを加算器32aに出力し、端子30eに入力された画素データを加算器32cに出力する。そして、垂直方向補間回路15bでは、水平方向補間回路15aと同様に、これらの入力された画素データをフィルタ回路32により上述の式1及び式2に適用して、画素データR、G、Bについての補間画素データR'、G'、B'を得る。

【0058】また、この画像データ補間部15を構成する水平方向補間回路15aと垂直方向補間回路15bは、エッジ処理回路15cに接続している。このエッジ処理回路15cは、図14に示すように、上述のy補正回路14からディレイ調整がなされた画素データGが入力される端子40a～40cからなる入力部40と、各端子40a～40cから画素データGが入力される遅延回路41a～41dと、入力された画素データGを比較する比較部42と、比較部42での比較結果について演算処理を施す演算部43と、演算部43での演算結果に応じて出力を制御する出力部44と、出力部44から画素データを出力する出力端子45とから構成されている。また、このエッジ処理回路15cは、y補正回路14から各画素データGが入力される。ここで、以下に説明するエッジ処理部15cは、例えば図15における補間画素データG'の値を制御するときの一例について説明する。

【0059】入力部40は、上述した水平方向補間回路15a、垂直方向補間回路15bで補間して得られた図15における補間画素データG'の周囲の画素データG<sub>1</sub>～G<sub>4</sub>が入力される。この入力部40は、例えば2hにおける補間画素データについてエッジ処理を行うときには、当該補間画素データG'の上方に隣接した1hの画素データG<sub>1</sub>が入力される端子40aと、当該補間画素データG'の水平方向における両隣の画素データG<sub>2</sub>、G<sub>3</sub>が入力される端子40bと、当該補間画素データG'の下方に隣接した3hの画素データG<sub>4</sub>が入力される端子40cとを備える。また、各端子40a～40cは、遅延回路41a～41dと接続している。なお、画素データG<sub>1</sub>、G<sub>2</sub>、G<sub>3</sub>、G<sub>4</sub>は、ディレイがかけられて各端子40a～40cに入力される。

【0060】遅延回路41a～41dは、比較部42及び出力部44と接続し、入力部40から出力された画素データG<sub>1</sub>～G<sub>4</sub>を入力する。この遅延回路41a～41dは、画素データG<sub>1</sub>～G<sub>4</sub>を入力するクロックと同期したクロックで比較部42及び出力部44に各画素データG<sub>1</sub>～G<sub>4</sub>を出力する。

【0061】比較部42は、入力部40で入力された4つの画素データのうち、2つの画素データが入力されるコンパレータ42a～42fからなる。すなわち、この

比較部42は、画素データG<sub>1</sub>及び画素データG<sub>2</sub>が入力されるコンパレータ42aと、画素データG<sub>1</sub>及び画素データG<sub>3</sub>が入力されるコンパレータ42bと、画素データG<sub>1</sub>及び画素データG<sub>4</sub>が入力されるコンパレータ42cと、画素データG<sub>2</sub>及び画素データG<sub>3</sub>が入力されるコンパレータ42dと、画素データG<sub>2</sub>及び画素データG<sub>4</sub>が入力されるコンパレータ42eと、画素データG<sub>3</sub>及び画素データG<sub>4</sub>が入力されるコンパレータ42fとからなる。

【0062】また、コンパレータ42aは端子Aで画素データG<sub>1</sub>、端子Bで画素データG<sub>2</sub>が入力され、コンパレータ42bは端子Aで画素データG<sub>1</sub>、端子Bで画素データG<sub>3</sub>が入力され、コンパレータ42cは端子Aで画素データG<sub>1</sub>、端子Bで画素データG<sub>4</sub>が入力され、コンパレータ42dは端子Aで画素データG<sub>2</sub>、端子Bで画素データG<sub>3</sub>が入力され、コンパレータ42eは端子Aで画素データG<sub>2</sub>、端子Bで画素データG<sub>4</sub>が入力され、コンパレータ42fは端子Aで画素データG<sub>3</sub>、端子Bで画素データG<sub>4</sub>が入力される。

【0063】演算部43は、比較部42から比較結果を入力し、この比較結果に基づいて入力部40で入力された画素データG<sub>1</sub>～G<sub>4</sub>のうち、2位と3位の画像データを選択する。ここで、演算部43は、複数のセレクタから構成されている。この演算部43は、例えばコンパレータ42a、コンパレータ42b、コンパレータ42cからの比較結果が(L, H, H)、(H, L, H)、(H, H, L)のいずれかである場合、画素データG<sub>1</sub>を2位として、演算結果を出力部44に出力する。また、この演算部43は、例えばコンパレータ42a、コンパレータ42d、コンパレータ42eからの比較結果が(H, L, L)、(H, L, H)、(H, H, L)のいずれかである場合、画素データG<sub>2</sub>を3位として、演算結果を出力部44に出力する。

【0064】出力部44は、入力部40及び演算部43と接続されている。この出力部44は、入力部40から各画素データG<sub>1</sub>～G<sub>4</sub>が入力されるとともに、演算部43から演算結果が入力される。この出力部44は、2位を示す演算結果に応じて画素データを出力するセレクタ44aと、3位を示す演算結果に応じて画素データG<sub>1</sub>～G<sub>4</sub>を出力するセレクタ44bとを有する。また、この出力部44は、端子40aで入力された画素データG<sub>1</sub>が入力される0端子と、端子40bで入力された画素データG<sub>2</sub>が入力される1端子と、端子40cで入力された画素データG<sub>3</sub>が入力される0端子と、端子40dで入力された画素データG<sub>4</sub>が入力される1端子とを備えている。

【0065】出力部45は、出力部44及び水平方向補間回路15a、垂直方向補間回路15bと接続されている。この出力部45は、出力部44で出力した2位及び3位を示す画素データG<sub>1</sub>～G<sub>4</sub>を水平方向補間回路15

a、垂直方向補間回路1 5 bに出力する。

【0066】このように構成されたエッジ処理回路1 5 cでエッジ処理を行うときには、図1 5に示すように、入力部4 0で例えば水平方向補間回路1 5 a、垂直方向補間回路1 5 bで補間して得られた補間画素データG'の周囲の画素データG<sub>1</sub>、G<sub>2</sub>、G<sub>3</sub>、G<sub>4</sub>を入力部4 0で入力する。ここで、図1 5中の各画素データ内の数字は、各画素データG<sub>1</sub>～G<sub>4</sub>の大きさを表している。ここで、入力部4 0では、画素データG<sub>1</sub>を端子4 0 aで入力し、画素データG<sub>2</sub>を端子4 0 bで入力し、画素データG<sub>3</sub>を端子4 0 bで入力し、画素データG<sub>4</sub>を端子4 0 cで入力する。そして、これら画素データG<sub>1</sub>～G<sub>4</sub>を各選択回路4 1 a～4 1 dを介して各コンバレータ4 2 a～4 2 fに出力する。

【0067】次に、これら各コンバレータ4 2 a～4 2 fでは、入力された画素データG<sub>1</sub>～G<sub>4</sub>の大きさを比較して比較結果を演算部4 3に出力する。このとき、各コンバレータ4 2 a～4 2 fは、端子Aに入力した画素データが端子Bに入力した画素データよりも大きいときは比較結果H1を演算部4 3に出力し、端子Aに入力した画素データが端子Bに入力した画素データよりも小さいときは比較結果Lを演算部4 3に出力する。

【0068】次に、演算部4 3では、各コンバレータ4 2 a～4 2 fからの比較結果に応じて入力部4 0で入力した画素データG<sub>1</sub>～G<sub>4</sub>のうち、2位と3位の画素データG<sub>1</sub>～G<sub>4</sub>を決定して、演算結果を出力部4 4に出力する。ここで、セレクタ4 4 aで2位を示す演算結果が入力され、セレクタ4 4 bで3位を示す演算結果が入力される。そして、各セレクタ4 4 a、4 4 bは、演算結果に基づいて画素データG<sub>1</sub>、G<sub>2</sub>、G<sub>3</sub>、G<sub>4</sub>のうち、2位及び3位に該当する画素データG<sub>1</sub>～G<sub>4</sub>を選択して出力部4 5に出力する。

【0069】次に、出力部4 5では、これら2位及び3位に該当する画素データG<sub>1</sub>～G<sub>4</sub>を水平方向補間回路1 5 a及び垂直方向補間回路1 5 bに出力する。

【0070】次に、水平方向補間回路1 5 a及び垂直方向補間回路1 5 bでは、この2位及び3位に該当する画素データG<sub>1</sub>～G<sub>4</sub>から補間画素データG'の大きさが算出されることとなる。

【0071】したがって、このようなエッジ処理回路1 5 cによれば、例えば画素データG<sub>1</sub>の大きさが1 0 0、画素データG<sub>2</sub>の大きさが1 0 0、画素データG<sub>3</sub>の大きさが1 0 0、画素データG<sub>4</sub>の大きさが0である場合には、2位及び3位の間に示す画素データは、共に1 0 0となるので、補間画素データG'の大きさは1 0 0に制限される。したがって、このエッジ処理回路1 5 cによれば、図1 5に示した画素データについて垂直方向について補間したときの補間画素データG'は、(1 0 0 + 0) = 5 0として算出されるようなことがない。

【0072】相間値検出部1 6は、上述のγ補正回路1

4から画素データが入力される。この相間値検出部1 6は、水平方向の相間値を検出する水平方向相間検出回路1 6 aと、垂直方向の相間値を検出する垂直方向相間検出回路1 6 bとからなる。

【0073】水平方向相間検出回路1 6 aは、画素データGが存在する画素においては下記式3に示すフィルタを用い、画素データGが存在しない画素においては下記式4に示すフィルタを用いて水平相間値C<sub>h</sub>を算出する。

【0074】

【数1】

$$C_h = \begin{bmatrix} -1 & 0 & 2 & 0 & -1 \\ 0 & 0 & 0 & 0 & 0 \\ -6 & 0 & 12 & 0 & -6 \\ 0 & 0 & 0 & 0 & 0 \\ -1 & 0 & 2 & 0 & -1 \end{bmatrix} \quad \cdots(3)$$

20

$$C_h = \begin{bmatrix} -1 & 0 & 2 & 0 & -1 \\ 0 & 0 & 0 & 0 & 0 \\ -1 & 0 & 2 & 0 & -1 \end{bmatrix} \quad \cdots(4)$$

【0075】すなわち、水平相間値C<sub>h</sub>は、垂直方向において、画素データGが存在する場合には式3を用いて[1, 0, 6, 0, 1]のLPF、画素データGが存在しない場合には式4を用いて[1, 0, 1]のLPFをかけて算出される。また、水平相間値C<sub>h</sub>は、水平方向において、[-1, 0, 2, 0, -1]のBPFをかけて算出される。

【0076】この水平方向相間検出回路1 6 aは、図1 6に示すように、γ補正回路1 4から画素データが端子5 0 a～5 0 eから入力される入力部5 0と、各画素データが入力されて水平相間値C<sub>h</sub>を生成するフィルタ回路5 2と、水平相間値C<sub>h</sub>が入力されるセレクタ回路5 3と、セレクタ回路5 3からの水平相間値C<sub>h</sub>を出力する出力部5 4とからなる。

【0077】入力部5 0は、γ補正回路1 4から図3に示した垂直方向に配された各画素データを順次入力する。この入力部5 0は、1 hにおける画素データが入力される端子5 0 aと、3 hにおける画素データが入力される端子5 0 bと、0 hにおける画素データが入力される端子5 0 cと、4 hにおける画素データが入力される端子5 0 dと、2 hにおける画素データが入力される端子5 0 eとを有する。

【0078】フィルタ回路5 2は、端子5 0 a及び端子5 0 bから画素データが入力される加算器5 2 aと、端子5 0 c及び端子5 0 dから画素データが入力される加算器5 2 bと、端子5 0 eから画素データが入力される加算器5 2 cと、加算器5 2 b及び加算器5 2 cからの出力が入力される加算器5 2 dとからなる。このフィル

40

50

タ回路52は、上述した水平方向補間回路15a及び垂直方向補間回路15bに示したフィルタ回路3と同様に、加算器52b、加算器52c、加算器52dで  
[1, 0, 6, 0, 1]/8のフィルタを構成し、加算器52aで[1, 0, 1]/2のフィルタを構成している。

【0079】セレクタ回路53は、加算器52dからの出力及び端子50eから画素データが入力されるセレクタ53aと、加算器52aからの出力及びセレクタ53aからの出力が入力されるセレクタ53bとを有する。また、各セレクタ53a、53bは、制御部10からの制御信号を入力して、その動作が制御されている。すなわち、セレクタ53aは、制御部10から制御信号Hを入力したとき、加算器52b、52c、52dを介して入力された画素データを出力し、制御部10から制御信号Iを入力したとき、端子50eから入力された画素データを出力する。また、セレクタ53bは、制御部10からの制御信号に応じて加算器52aを通過した水平相関値C<sub>1</sub>を出力するか、セレクタ53aを通過した画素データを出力するかが制御される。

【0080】なお、この水平方向相関検出回路16aでは、相関値を算出する対象となる画素データについてはフィルタ回路52を通過させずにセレクタ回路53に入力させても良い。このように、フィルタ回路52b、52e、52dを通過させずに画素データGをそのまま相関値として用いることで画素データGの帯域の低下を抑制することができるとともに、回路を簡略化することもできる。

【0081】このセレクタ53bは、画素データGが存在する画素は加算器52b、52c、52d或(ある)いは端子50eからの出力を通過させるように制御され、画素データGが存在しない画素では加算器52aからの出力を通過させるように制御される。

【0082】出力部54は、セレクタ53bから入力した水平相関値C<sub>1</sub>を出力する。この出力部54は、図示しない水平方向に[-1, 0, 2, 0, -1]のBPFを介してノイズ除去部17と接続しており、水平相関値C<sub>1</sub>を当該ノイズ除去部17に付出する。

【0083】垂直方向相関検出回路16bは、画素データGが存在する画素においては下記式5に示すフィルタを用い、画素データGが存在しない画素においては下記式6に示すフィルタを用いて垂直相関値C<sub>2</sub>を算出する。

【0084】

【数2】

$$C_2 = \begin{bmatrix} -1 & 0 & -6 & 0 & -1 \\ 0 & 0 & 0 & 0 & 0 \\ 2 & 0 & 12 & 0 & 2 \\ 0 & 0 & 0 & 0 & 0 \\ -1 & 0 & -6 & 0 & -1 \end{bmatrix} \quad \cdots(5)$$

$$C_2 = \begin{bmatrix} -1 & 0 & -1 \\ 0 & 0 & 0 \\ 2 & 0 & 2 \\ 0 & 0 & 0 \\ -1 & 0 & -1 \end{bmatrix} \quad \cdots(6)$$

【0085】すなわち、垂直相関値C<sub>2</sub>は、式5及び式6を用いることにより、垂直方向において[-1, 0, 2, 0, -1]のBPFで算出される。また、垂直相関値C<sub>2</sub>は、画素データGが存在する場合、水平方向では式5を用いて[1, 0, 6, 0, 1]のLPF、画素データGが存在しない場合には式6を用いて[1, 0, 1]のLPFで算出される。

【0086】この垂直方向相関検出回路16bは、図17に示すように、図示を省略した垂直方向に[-1, 0, 2, 0, -1]のBPFを介して画素データが入力される入力部55と、入力部55から各画素データが入力される遅延回路56a～56dと、遅延回路56a～56dから各画素データが入力されて垂直相関値C<sub>2</sub>を生成するフィルタ回路57と、フィルタ回路57を介して垂直相関値C<sub>2</sub>が入力されるセレクタ回路58と、セレクタ回路58からの垂直相関値C<sub>2</sub>を出力する出力部59とからなる。

【0087】入力部55は、 $\nabla$ 補正回路14から、図示を省略した垂直方向に[-1, 0, 2, 0, -1]のBPFを介して順次入力する。入力部55は、上述した水平方向補間回路15aに備えられる遅延回路3と同様の構成を有する遅延回路56a～56dに各画素データを出力する。

【0088】フィルタ回路57は、上述の水平方向相関検出回路16aに備えられるフィルタ回路52と同様の構成を有しており、加算器57a、57b、57c、57dからなる。このフィルタ回路57は、上述した水平方向相関検出回路16aに示したフィルタ回路53と同様に、加算器57b、加算器57c、加算器57dで[1, 0, 6, 0, 1]/8のフィルタを構成し、加算器57aで[1, 0, 1]/2のフィルタを構成している。なお、この垂直方向相関検出回路16bでは、上述の水平方向相関検出回路16aと同様に、相関値C<sub>2</sub>を算出する対象となる画素データについてはフィルタ回路57b、57c、57dを通過させずにセレクタ回路58に入力させても良い。

【0089】セレクタ回路58は、上述の水平方向相間検出回路16aに備えられるセレクタ回路53と同様の構成を有しており、セレクタ58a、58bを有する。

また、各セレクタ58a、58bは、制御部10からの制御信号が入力されて、その動作が制御されている。

【0090】このセレクタ58bは、画素データGが存在する画素では加算器57b、57c、57d成(ある)いは選択回路56bからの出力を通過させるように制御され、画素データGが存在しない画素では加算器57aからの出力を通過するように制御される。

【0091】出力部59は、セレクタ58bから入力した垂直相間値Cvを出力する。この出力部59は、ノイズ除去部17と接続しており、垂直相間値Cvを当該ノイズ除去部17に输出する。

【0092】このように構成された相間値検出部16は、式3~式6を用いた回路を構成することで、例えば画素データGのみで相間値Cを算出するので、被写体の色の影響を受けるようなく水平相間値Cv及び垂直相間値Cvを算出することができる。

【0093】ノイズ除去部17は、図2に示すように、上述した水平方向相間検出回路16aと接続したノイズ除去回路17aと、垂直方向相間検出回路16bと接続したノイズ除去回路17bとからなる。これらノイズ除去回路17aとノイズ除去回路17bとは、図18に示すような同様の構成を有している。

【0094】ノイズ除去部17a、17bは、図18に示すように、相間検出回路16a、16bから相間値Cが入力される絶対値化回路60と、絶対値化された相間値Cが入力される減算回路61と、減算された相間値Cが入力されるリミット回路62とからなる。

【0095】絶対値化回路60は、例えばE<sub>x</sub>、ORゲート60aと加算器60bとからなる。この絶対値化回路60は、入力した相間値Cに対して絶対値化を施し、正の値とする。そして、この絶対値化回路60は、この絶対値化した相間値Cを減算回路61に输出する。

【0096】減算回路61は、例えば減算器61aからなる。この減算器61aは、絶対値化回路60から相間値Cが入力される。また、この減算器61aは、制御部10から入力した相間値Cから所定の値を減算する減算値を示す制御信号が入力される。そして、この減算器61aは、制御信号に応じて相間値Cから減算値を減算する。このように減算器61aは、減算処理を行うことで、図19(a)中の点線で示すように、相間値Cの出力を図19(a)中の実線で示すように減算する。そして、この減算回路61は、減算した相間値Cをリミット回路62に输出する。

【0097】リミット回路62は、例えばインバータ62aとANDゲート62bとからなる。このリミット回路62は、減算回路61で減算された図19(b)に示すように出力が負の値となつた相間値Cを0となるよう

に処理を施す。そして、このリミット回路62は、このような処理を施した相間値Cをオフセット回路18に输出する。

【0098】このようなノイズ除去部17は、入力した相間値Cから減算処理を行うことにより、微小な相間値Cを除去するので、微小な値におけるノイズを除去することができる。したがって、このノイズ除去部17によれば、例えばBPFを通して相間値Cを算出するため、CCD3自体のノイズ等に対して算出された相間値Cを除去することができる。また、このノイズ除去部17によれば、CCD3で生成する画素データGにノイズ成分が含まれている場合、当該ノイズに対して相間値Cを算出しても、微小な相間値を減算処理する。したがって、ノイズ除去部17によれば、ノイズの少ない相間値Cを用いて補間画素データに重み付けを行わせることができ、出力される画像に偽色信号が発生してしまい、画像が劣化することができない。

【0099】オフセット回路18は、図2に示すように、ノイズ除去回路17aから水平相間値Cvが入力されるオフセット回路18aと、ノイズ除去回路17bから垂直相間値Cvが入力されるオフセット回路18bとからなる。これらオフセット回路18aとオフセット回路18bとは、図2に示すような同様の構成を有している。

【0100】オフセット回路18a、18bは、図20に示すように、例えば加算器65からなる。この加算器65は、上述のノイズ除去回路17a、17bから相間値Cが入力される。また、この加算器65は、制御部10から所定の値のオフセット値を示す制御信号が入力される。

【0101】そして、この加算器65は、ノイズ除去部17a、17bから相間値Cが入力されると、制御信号が示すオフセット値を加算する。そして、この加算器65は、入力した相間値Cとオフセット値とを加算処理して正規化回路19に输出する。すなわち、このオフセット回路18a、18bは、例えばノイズ除去部17a、17bから図21中の点線で示すような相間値Cにオフセット値を加算することで図21中の実線で示すような相間値Cとする。

【0102】このようにオフセット回路18a、18bでは、オフセット値を相間値Cに加算処理することにより、入力した相間値Cの振幅が0程度であっても、値の大きな相間値Cを持たせることができる。このようなオフセット回路18a、18bは、例えば図2に示すように、上述した相間値検出部16では相間値Cが得られない、例えば1画素毎に色が変化する画像データを構成する画素データである場合、高域の信号や、垂直相間値Cv及び水平相間値Cvの振幅が微小な場合も、水平相間値Cvと垂直相間値Cvとが急激に切り替わることを防止することができる。すなわち、このようなオフセット

回路18 a, 18 bによれば、オフセット値を相間値Cに加算処理することで、相間値Cで重み付けられる補間画素データを相加平均で補間する方向に近づくことができる。したがって、このオフセット回路18 a, 18 bによれば、入力された相間値Cの振幅が微小である場合や隣接する画素で水平相間値C<sub>h</sub>が1, 垂直相間値C<sub>v</sub>が0である場合でも、垂直相間値C<sub>v</sub>が0, 水平相間値C<sub>h</sub>が1と切り替わるようなことがない。

【0103】正規化回路19は、図2に示すように、オフセット回路18 a及びオフセット回路18 bから水平相間値C<sub>h</sub>及び垂直相間値C<sub>v</sub>が入力される加算器19 aと、垂直相間値C<sub>v</sub>及び加算器19 aからの出力が入力される除算器19 bとからなる。

【0104】このような正規化回路19は、加算器19 aで垂直相間値C<sub>v</sub>と水平相間値C<sub>h</sub>とを加算処理して加算結果を除算器19 bに出し、除算器19 bで垂直相間値C<sub>v</sub>を加算結果で除算処理する。そして、この正規化回路19は、下記式7に示す垂直相間値C<sub>v</sub>を算出する。ここで、水平相間値C<sub>h</sub>は、垂直相間値C<sub>v</sub>の相対値として下記式8に示すように表せる。

【0105】

【数3】

$$\text{垂直相間値} = \frac{C_v}{C_v + C_h} \quad \cdots(7)$$

$$\text{水平相間値} = 1 - \frac{C_h}{C_v + C_h} \quad \cdots(8)$$

【0106】偏り補正回路20は、図23に示すように、加算器20 aからなる。この偏り補正回路20は、正規化回路19から上記式7で示す垂直相間値C<sub>v</sub>が入力される。加算器20 aは、制御部10から補正値 $\alpha$ が入力される。この補正値 $\alpha$ は、制御部10により生成され、例えばCDD3等の設定に応じて-1~1までの範囲内で調整される。

【0107】そして、この偏り補正回路20は、垂直相間値C<sub>v</sub>が入力されるとともに、制御部10から入力した補正値 $\alpha$ を入力し、垂直相間値C<sub>v</sub>と補正値 $\alpha$ を加算処理する。このように偏り補正回路20は、加算処理を行うことで垂直相間値C<sub>v</sub>を下記式9に示すような値とする。

【0108】

【数4】

$$\text{垂直相間値} = \frac{C_v}{C_v + C_h} + \alpha \quad \cdots(9)$$

【0109】したがって、この偏り補正回路20は、例えば図24で示すように、図24中の点線で示す垂直相間値C<sub>v</sub>を入力したとき、補正値 $\alpha$ を加算処理することで図24中の実線で示すように変化させることができる。すなわち、この偏り補正回路20によれば、垂直相

間値C<sub>v</sub>に補正値 $\alpha$ を加算処理することで、垂直相間値C<sub>v</sub>と水平相間値C<sub>h</sub>とがCDD3からの信号の歪等によって同じレベルとはならない場合でも、制御部10から入力する補正値 $\alpha$ を制御することで垂直相間値C<sub>v</sub>の値を制御して補正することができます。また、この偏り補正回路20は、例えばCDDの縦横比や、CDDから出力されるアナログ信号を検波するときに生ずる歪等により、垂直方向における相間と水平方向における相間との関係が等しく算出できなくとも、制御部10からの補正値 $\alpha$ を制御することで水平相間値C<sub>h</sub>と垂直相間値C<sub>v</sub>とのバランスを制御することができる。

【0110】強調・低減回路21は、図25に示すように、偏り補正回路20から垂直相間値C<sub>v</sub>が入力される減算器21 aと、減算処理を施した垂直相間値C<sub>v</sub>が入力される除算器21 bと、乗算処理を施した垂直相間値C<sub>v</sub>が入力される加算器21 cと、加算処理を施した垂直相間値C<sub>v</sub>が入力される制限器21 dとからなる。

【0111】減算器21 aは、偏り補正回路20から0~1までの値を有する垂直相間値C<sub>v</sub>を入力し、当該垂直相間値C<sub>v</sub>に減算処理を行う。この減算器21 aは、垂直相間値C<sub>v</sub>から0.5だけ減算処理を行う。乗算器21 bは、制御部10から入力する乗算値を示す制御信号に基づいて垂直相間値C<sub>v</sub>に乗算処理する。加算器21 cは、垂直相間値C<sub>v</sub>に0.5だけ加算処理を行う。制限器21 dは、入力した垂直相間値C<sub>v</sub>を一定の範囲内で制限する。

【0112】このような強調・低減回路21は、偏り補正回路20から垂直相間値C<sub>v</sub>が入力されると、先ず、減算器21 aで垂直相間値C<sub>v</sub>から0.5だけ減算処理を行い、次に、減算処理を施した垂直相間値C<sub>v</sub>に乗算処理を行う。このとき、制御部10から入力する乗算値に応じて図26中の実線で示すような特性の垂直相間値C<sub>v</sub>の傾きを図26中の点線又は一点錆線で示すように変化させる。次に、乗算処理を施した垂直相間値C<sub>v</sub>に、上記の減算器21 aで減算した0.5を加算器21 cで加算する。次に、加算処理を施した垂直相間値C<sub>v</sub>が0~1までの範囲内の値を取るように、制限器21 dで規制する。

【0113】このように強調・低減回路21は、制御部10からの乗算値を垂直相間値C<sub>v</sub>に乗算処理を施すことにより、図26に示すように垂直相間値C<sub>v</sub>の入出力特性の傾きを変化させる。したがって、この強調・低減回路21によれば、制御部10からの乗算値を変化させることにより、垂直相間値C<sub>v</sub>を変化させることができる。したがって、この強調・低減回路21によれば、後述する補間画素データに重み付けを行うときに、補間画素データに重み付けを行った相間値の値を変化させて、補間画素データが相間を重視するか、補間画素データが相加平均に近づくように補間するかを制御することができる。また、この強調・低減回路21によれば、例えばC

CD 3 に入力される光量が小さいために、CCD 3 からの出力にノイズが多くなり、相関値が正確に算出できなくなる、乗算値を変化させることにより相関値を制御することができる。

【0114】加重加算回路 2 2 は、図 2 に示すように、垂直相関値  $C_v$  を入力して正規化した水平相関値  $C_h$  を生成する減算器 2 2 a と、正規化した水平相関値  $C_h$  が入力される乗算器 2 2 b と、垂直相関値  $C_v$  が入力される乗算器 2 2 c と、垂直方向及び水平方向の補間画素データが入力される加算器 2 2 d とからなる。

【0115】このような加重加算回路 2 2 は、強調・低減回路 2 1 から垂直相関値  $C_v$  を減算器 2 2 a 及び乗算器 2 2 c に入力する。減算器 2 2 a では、垂直相関値  $C_v$  を 1 から減算処理することで水平相関値  $C_h$  を生成する。そして、この減算器 2 2 a では、水平相関値  $C_h$  を乗算器 2 2 b に出力する。

【0116】乗算器 2 2 b は、垂直方向補間回路 1 5 b から垂直方向における補間画素データと、減算器 2 2 a から水平相関値  $C_h$  とが入力される。乗算器 2 2 b は、入力した垂直方向における補間画素データと水平相関値  $C_h$  を乗算処理する。このように乗算器 2 2 b は、垂直方向における補間画素データに水平相関値  $C_h$  を乗算することで重み付けを行う。

【0117】乗算器 2 2 c は、水平方向補間回路 1 5 a から水平方向における補間画素データが入力されるとともに垂直相関値  $C_v$  が入力される。乗算器 2 2 c は、入力した水平方向における補間画素データと垂直相関値  $C_v$  を乗算処理する。このように乗算器 2 2 c は、水平方向における補間画素データに垂直相関値  $C_v$  を乗算することで重み付けを行う。

【0118】加算器 2 2 d では、乗算器 2 2 c で重み付けられた水平方向における補間画素データ及び乗算器 2 2 b で重み付けられた垂直方向における補間画素データが入力される。加算器 2 2 d は、入力した水平方向における補間画素データと垂直方向における補間画素データとを加算処理する。このように加算器 2 2 d は、加算処理を行うことにより、垂直方向及び水平方向の相関値により重み付けられた補間画素データを得る。そして、加算器 2 2 d は、当該補間画素データを輪郭補正回路 2 3 に出力する。

【0119】輪郭補正回路 2 3 は、加重加算回路 2 2 の加算器 2 2 d と接続している。この輪郭補正回路 2 3 は、加算器 2 2 d から補間画素データが入力されるとともに削除部 1 0 から輪郭強調信号が入力される。この輪郭強調信号は、CCD 3 のレスポンス劣化の補償や、鮮明度を強調する信号である。そして、輪郭補正回路 2 3 では、入力した輪郭強調信号と補間画素データとを加算処理して、Y/C 変換部 2 4 に出力する。

【0120】Y/C 変換部 2 4 は、輪郭補正回路 2 3 から補間画素データ

タが入力される。このY/C 変換部 2 4 は、入力した R, G, B からなる補間画素データを輝度信号 (Y) と色差信号 (C) とからなるY/C 信号に変換する。そして、このY/C 変換部 2 4 は、補間画素データを変換して得たY/C 信号を色差信号抑制部 2 5 に出力する。

【0121】色差信号抑制部 2 5 は、Y/C 変換部 2 4 と接続しており、当該Y/C 変換部 2 4 からY/C 信号が入力される。この色差信号抑制部 2 5 は、図 2 7 に示すように、1 ラインが画素データ G, B からなる画素データの色差 B-G が入力される BG データ抑制回路 2 5 a と、1 ラインが画素データ G, R からなる画素データの色差 R-G が入力される RG データ抑制回路 2 5 b とからなる。

【0122】BG データ抑制回路 2 5 a は、補間画素データ G', B' の色差 B'-G' が入力される入力部 7 0 a ~ 7 0 c と、入力部 7 0 a ~ 7 0 c から色差 B'-G' が入力される絶対値化器 7 1 a ~ 7 1 c と、絶対値化器 7 1 a ~ 7 1 c から絶対値化された色差 B'-G' が入力されるコンパレータ 7 2 a ~ 7 2 c と、コンパレータ 7 2 a ~ 7 2 c からの比較結果が入力される演算器 7 3 と、演算器 7 3 からの演算結果が入力されるセレクタ 7 4 と、セレクタ 7 4 からの画素データが入力される出力部 7 5 とからなる。

【0123】入力部 7 0 a は垂直方向における色差 B'-G' を入力し、入力部 7 0 b は水平方向における色差 B'-G' を入力し、入力部 7 0 c は相関値で重み付けがなされた色差 B'-G' が入力される。入力部 7 0 a は入力した色差 B'-G' を絶対値化器 7 1 a に出力し、入力部 7 0 b は入力した色差 B'-G' を絶対値化器 7 1 b に出力し、入力部 7 0 c は入力した色差 B'-G' を絶対値化器 7 1 c に出力する。

【0124】絶対値化器 7 1 a ~ 7 1 c は、例えばE x. OR ゲート 7 6 と加算器 7 7 とからなる。この絶対値化器 7 1 a ~ 7 1 c は、入力した色差 B'-G' に対して絶対値化を施し、正の値とする。絶対値化器 7 1 a ~ 7 1 c は、絶対値化を施した色差 B'-G' をコンパレータ 7 2 a ~ 7 2 c に出力する。

【0125】コンパレータ 7 2 a は、絶対値化器 7 1 a を通過した色差 B'-G' を端子 A で入力するとともに、絶対値化器 7 1 c を通過した色差 B'-G' を端子 A で入力する。コンパレータ 7 2 b は、絶対値化器 7 1 a を通過した色差 B'-G' を端子 A で入力するとともに、絶対値化器 7 1 c を通過した色差 B'-G' を端子 B で入力する。コンパレータ 7 2 c は、絶対値化器 7 1 b を通過した色差 B'-G' を端子 A で入力するとともに、絶対値化器 7 1 c を通過した色差 B'-G' を端子 B で入力する。これらコンパレータ 7 2 a ~ 7 2 c は、端子 A 及び端子 B で入力した色差 B'-G' の大きさを比較して端子 A で入力した色差 B'-G' が大きいと判断した場合には比較結果 H を演算器 7 3 に出し、端子

Aで入力した色差B' - G' が小さいと判断した場合には比較結果Lを演算器73に送出する。

【0126】演算器73は、コンバーラータ72a～72cから比較結果が入力されるとともに、制御部10から制御信号が入力される。この演算器73は、比較結果及び制御信号に基づいて演算結果を生成してセレクタ74に出力する。

【0127】この演算器73は、制御信号Hを入力したときには演算結果1を出し、制御信号Lを入力したときには各コンバーラータ72a～72cからの比較結果に基づいて演算結果を生成する。この演算器73は、各コンバーラータ72a, 72b, 72cの比較結果が(H, L, X)のときには演算結果0を出し、各コンバーラータ72a, 72b, 72cの比較結果が(X, H, L)のときには演算結果0を出し、各コンバーラータ72a, 72b, 72cの比較結果が(L, X, H)のときには演算結果1を生成してセレクタ74に出力する。

【0128】セレクタ74は、演算器73から演算結果が入力されるとともに、入力部70a～70cから色差B' - G' が入力される。このセレクタ74は、1端子及び1端子で入力部70cで入力した色差B' - G' を出し、1端子で入力部70bで入力した色差B' - G' を出し、0端子で入力部70aで入力した色差B' - G' が入力される。また、このセレクタ74は、演算結果1が入力されると1端子で入力した色差B' - G' を出し、演算結果1が入力されると1端子で入力した色差B' - G' を出し、演算結果0が入力されると0端子で入力した色差B' - G' を出し、演算結果0が入力されると0端子で入力した色差B' - G' を出し。

【0129】RGデータ抑制回路25bは、入力部70a～70cにおいて色差R' - G' を入力し、この色差R' - G' を絶対値化器71、コンバーラータ72、演算器73、セレクタ74を経ることで最小の色差R' - G' を選択して出力部75で出力する。

【0130】したがって、このような色差信号抑制部25によれば、図28(a)に示すように、例えば、垂直方向に配置した画素データR, Gについての補間画素データRv, Gv、水平方向に配置した画素データR, Gについての補間画素データRh, Gb、重み付けされた補間画素データRe, Gcの色差のうち最小の補間画素データRh, Gbを選択する。また、この色差信号抑制部25は、図28(b)に示すように、比較した補間画素データのうち、最も0に近い補間画素データR' - G' を選択する。

【0131】このような色差信号抑制部25は、入力部70a～70cで入力した補間画素データのうち、色差信号の絶対値が最小のものを選択して出力する。したがって、このような色差信号抑制部25は、相関を求める

ことができない帯域で相関値で重み付けした補間画素データで画像データを生成したとき、色のエッジ等に偽色がつくことを防止することができる。したがって、この色差信号抑制部25によれば、相関が見られない周波数帯域であっても、色の折り返し歪を防止することができる。

【0132】出力部75は、セレクタ74で出力された補間画素データを出力部26に出力する。出力部26は、例えば画素データを記録する記録媒体や、表示装置、外部へ出力する端子等である。

【0133】なお、以上の説明においては、原色コーディングのCCD3を用いたカメラ装置1で生成するカメラ信号を処理する一例について説明したが、本発明は、図29(a)又は図29(b)に示すように、画像データに含まれている画素データが示す色のうち、最も多い色が市松状に配置されているコーディングの固体撮像素子であれば、補色のCCDにも適用することができる。

#### 【0134】

【発明の効果】以上詳細に説明したように、本発明に係るカメラ信号処理装置及びカメラ信号処理方法は、少なくとも2以上の方角から補間して各方向の補間画素データをそれぞれ生成し、補間画素データの上記2以上の方角における相関の程度を示す各方向の相関値をそれぞれ検出し、各方向の相関値を正規化して各方向の相関値の相対値を示す正規化値を生成し、正規化値に所定値の補正値を加算処理するので、各方向の相間値がCCDからの信号の歪等によって同じレベルとはならない場合でも、補正値を制御することで相間値を制御して各方向の相間値の関係を補正することができる。また、このカメラ信号処理装置及びカメラ信号処理方法によれば、例えばCCDの縦横比や、CCDから出力されるアナログ信号を検波するときに生ずる歪等により、各方向における相間との関係が等しく算出できても、補正値を制御することで各方向の相間値のバランスを制御することができる。

#### 【図面の簡単な説明】

【図1】カメラ装置の構成の一例を示すブロック図である。

【図2】信号処理回路の構成の一例を示すブロック図である。

【図3】各画素に対応した画素データR, G, Bの配置の一例を示す図である。

【図4】垂直方向補間回路の構成の一例を示す図である。

【図5】各画素に対応した画素データGの配置の一例を示す図である。

【図6】[1, 0, 6, 0, 1]のLPPの周波数特性を示す図である。

【図7】[1, 0, 1]のLPPの周波数特性を示す図である。

【図 8】補間処理を行った後に生成される補間画素データ G' の一例を示す図である。

【図 9】水平方向補間回路の構成の一例を示す図である。

【図 10】各画素に対応した画素データ B の配置の一例を示す図である。

【図 11】各画素に対応した画素データ B について水力方向に相加平均を算出したときの補間画素データ B' の配置の一例を示す図である。

【図 12】補間処理を行った後に生成される補間画素データ B' の一例を示す図である。

【図 13】垂直方向補間回路の構成の一例を示す図である。

【図 14】エッジ処理回路の構成の一例を示す図である。

【図 15】エッジ処理回路でエッジ処理を施すときの一例を説明するための図である。

【図 16】水平方向相関検出回路の構成の一例を示す図である。

【図 17】垂直方向相関検出回路の構成の一例を示す図である。

【図 18】ノイズ除去回路の構成の一例を示す図である。

【図 19】ノイズ除去回路で入力した相関値に処理を施すときの一例を示す図であり、(a) が相関値に減算処理を施したときの一例を示し、(b) が相関値を負の値でリミットしたときの一例を示す図である。

【図 20】オフセット回路の構成の一例を示す図である。

【図 21】オフセット回路で入力した相関値にオフセット値を加算処理したときの入出力特性の変化の一例を示す図である。

【図 22】隣接する画素データ毎に色が変化する画像データの一例を示す図である。

【図 23】偏り補正回路の構成の一例を示す図である。

【図 24】偏り補正回路で入力した相関値に補正值を加算処理したときの入出力特性の変化の一例を示す図である。

【図 25】強調・低減回路の構成の一例を示す図である。

【図 26】強調・低減回路で入力した相関値に乗算処理を施したときの入出力特性の変化を示す図である。

【図 27】色差信号抑制回路の構成の一例を示す図である。

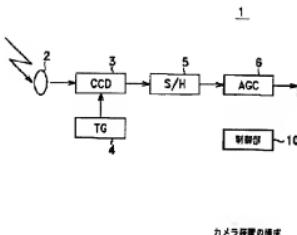
【図 28】色差信号抑制部で垂直方向に配置した画素データ R, G についての補間画素データ R<sub>v</sub>, G<sub>v</sub>、水平方向に配置した画素データ R, G についての補間画素データ R<sub>h</sub>, G<sub>h</sub>、重み付けされた補間画素データ R<sub>c</sub>, G<sub>c</sub> の色差のうち絶対値最小の補間画素データ R<sub>h</sub>, G<sub>h</sub> を選択する一例を示す図である。

【図 29】画素データの配置の他の一例を示す図である。

【符号の説明】

1 カメラ装置、1.5 画像データ補間部、1.5 a 水平方向補間回路、1.5 b 垂直方向補間回路、1.6 相関検出部、1.6 a 水平方向相関検出回路、1.6 b 垂直方向相関検出回路、1.9 正規化回路、2.0 偏り補正回路、2.2 加算加算回路

【図 1】

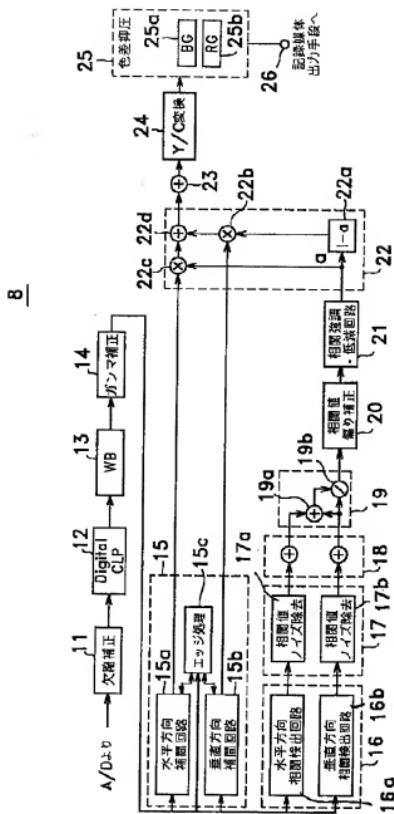


【図 3】

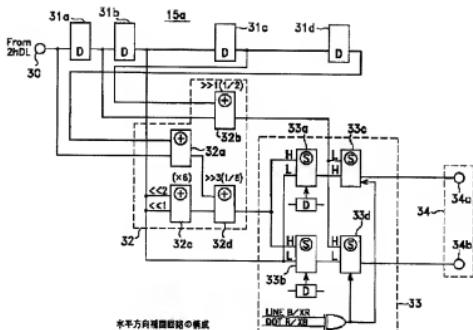
0h	G 00	R 01	G 02	R 03	G 04
1h	B 10	G 11	B 12	G 13	B 14
2h	G 20	R 21	G 22	R 23	G 24
3h	B 30	G 31	B 32	G 33	B 34
4h	G 40	R 41	G 42	R 43	G 44

画素データの配置

【図2】



【図4】

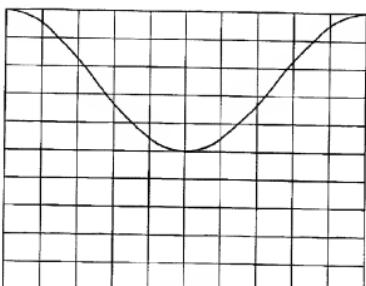


【図5】

G 00	G 02	G 04
G 11	G 13	
G 20	G 22	G 24
	G 31	G 33
G 40	G 42	G 44

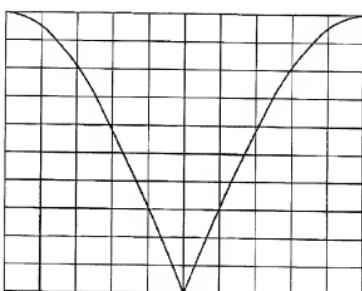
蓄電データの配置

【図6】



LPF の周波数特性

【図7】



LPF の周波数特性

【図10】

0h		
1h	B 10	B 12
2h		
3h	B 30	B 32
4h		

蓄電データの配置

【図11】

B 10	B 12	B 14
B'20	B'22	B'24
B 30	B 32	B 34

蓄電データの配置

【図8】

G 00'	G 01'	G 02'	G 03'	G 04'
G 10'	G 11'	G 12'	G 13'	G 14'
G 20'	G 21'	G 22'	G 23'	G 24'
G 30'	G 31'	G 32'	G 33'	G 34'
G 40'	G 41'	G 42'	G 43'	G 44'

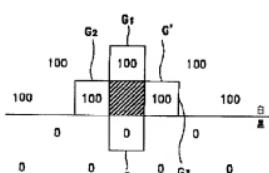
接替高次データ

【図12】

B 00'	B 01'	B 02'	B 03'	B 04'
B 10'	B 11'	B 12'	B 13'	B 14'
B 20'	B 21'	B 22'	B 23'	B 24'
B 30'	B 31'	B 32'	B 33'	B 34'

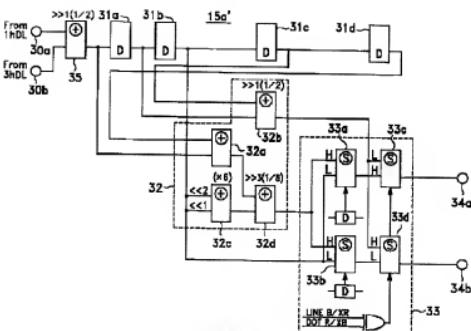
接替高次データ

【図15】



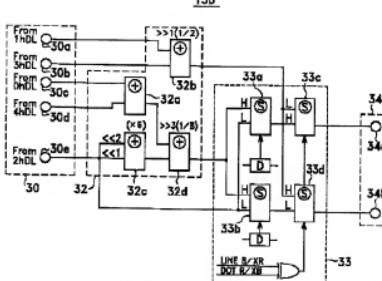
エッジ検出回路の一例

【図9】



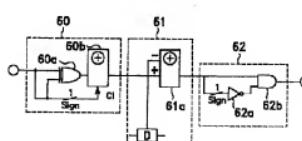
垂直方向検出回路の構成

【図13】



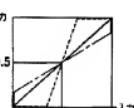
垂直方向検出回路の構成

【図18】



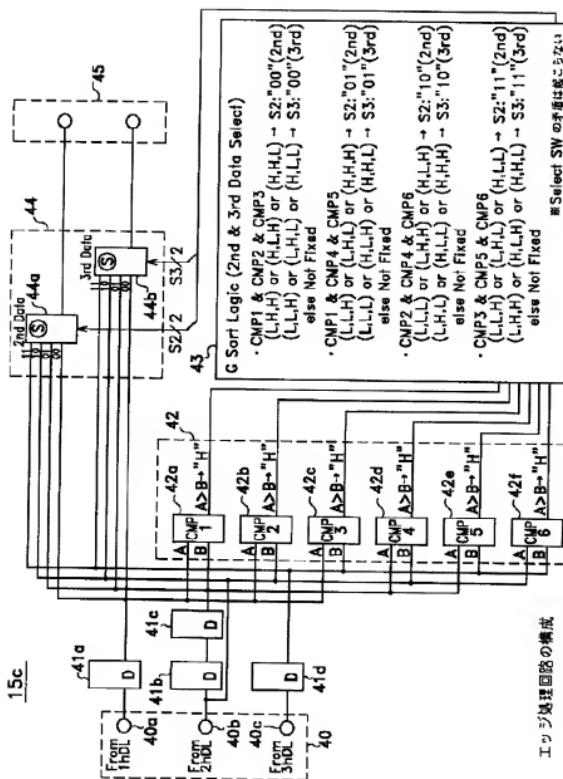
ノイズ除去回路の構成

【図26】

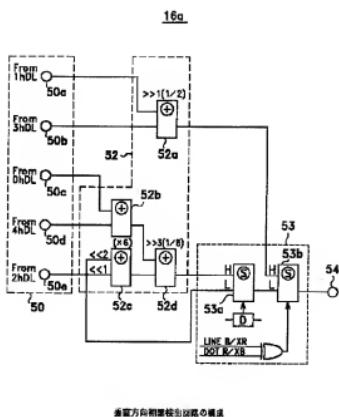


入出力特性

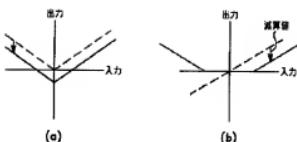
【図14】



【図16】

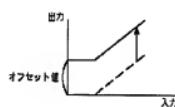


【図19】



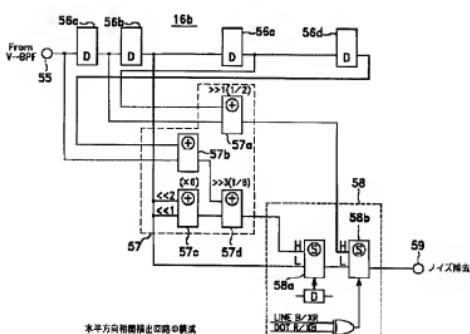
相應接への処理

【図21】

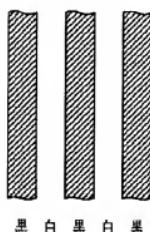


入出力特性

【図17】

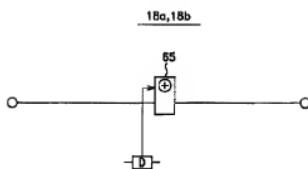


【図22】



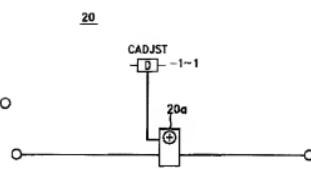
画像データの一例

【図20】



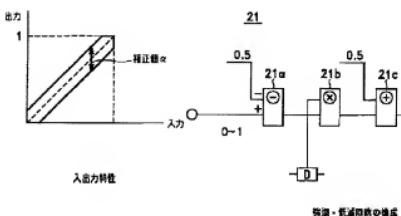
オフセット回路の構成

【図23】



電位補正回路の構成

【図24】



図表データの記述

【図27】

